

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

WEST**End of Result Set**

Generate Collection

L1: Entry 1 of 1

File: JPAB

Jan 31, 1995

PUB-NO: JP407030113A

DOCUMENT-IDENTIFIER: JP 07030113 A

TITLE: MANUFACTURE OF MOS TRANSISTOR

PUBN-DATE: January 31, 1995

INVENTOR-INFORMATION:

NAME

TAKEDA, MINORU

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP05194118

APPL-DATE: July 9, 1993

INT-CL (IPC): H01L 29/78; H01L 21/336; H01L 21/316

ABSTRACT:

PURPOSE: To raise reliability by improving withstand voltage characteristics of a gate oxide film at a border part between a side-end part of a gate electrode and a semiconductor substrate as well as hot-carrier resistivity.

CONSTITUTION: After forming a gate electrode 13, oxidation-nitriding is performed in a furnace containing an atmosphere whose main component is N2O. As a result, film quality of a gate oxide film 12 is improved and it becomes thicker, for improved withstand voltage. Further, a nitrogen is contained near the interface 19 between the gate oxide film 12 and a semiconductor substrate 11, and the nitrogen suppresses hot carries from being injected chiefly from a high electric field area near the drain of the semiconductor substrate 11 to the gate oxide film 12, so that hot carrier resistivity improves.

COPYRIGHT: (C)1995, JPO

CLIPPEDIMAGE= JP407030113A
PAT-NO: JP407030113A
DOCUMENT-IDENTIFIER: JP 07030113 A
TITLE: MANUFACTURE OF MOS TRANSISTOR

ABSTRACT:

PURPOSE: To raise reliability by improving withstand voltage characteristics of a gate oxide film at a border part between a side-end part of a gate electrode and a semiconductor substrate as well as hot-carrier resistivity.

CONSTITUTION: After forming a gate electrode 13, oxidation-nitriding is performed in a furnace containing an atmosphere whose main component is N_2O . As a result, film quality of a gate oxide film 12 is improved and it becomes thicker, for improved withstand voltage. Further, a nitrogen is contained near the interface 19 between the gate oxide film 12 and a semiconductor substrate 11, and the nitrogen suppresses hot carries from being injected chiefly from a high electric field area near the drain of the semiconductor substrate 11 to the gate oxide film 12, so that hot carrier resistivity improves.

DOCUMENT-IDENTIFIER: US 5726087 A

TITLE: Method of formation of semiconductor gate dielectric

ORPL:

"Improvement of Thin-Gate Oxide Integrity Using
Through-Silicon-Gate Nitrogen
Ion Implantation, " IEEE Electron Devices Letters, vol. EDL-8,
No. 2, Feb. 1987;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-30113

(43) 公開日 平成7年(1995)1月31日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/336				
21/316	X	7352-4M		
		7514-4M		
			H 0 1 L 29/ 78	3 0 1 P

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21) 出願番号 特願平5-194118

(22) 出願日 平成5年(1993)7月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 武田 実

東京都品川区北品川6丁目7番35号 ソニー株式会社内

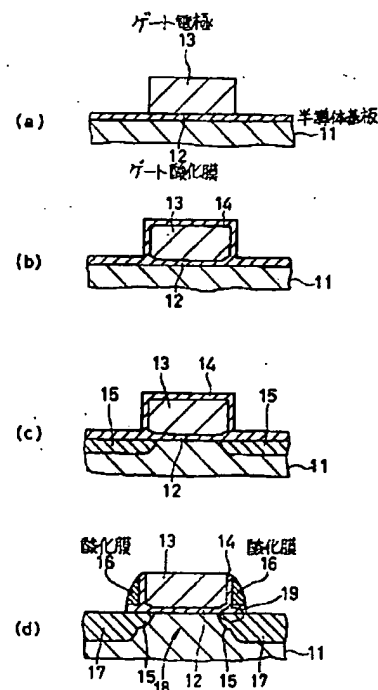
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 MOS型トランジスタの製造方法

(57) 【要約】

【目的】 ゲート電極の側端部と半導体基板との境界部分におけるゲート酸化膜の耐圧特性を向上させ、ホットキャリア耐性も向上させて、信頼性を高める。

【構成】 ゲート電極13を形成した後に、N₂Oを主成分とする雰囲気を含むファーンネス中で、酸化を行う。この結果、ゲート酸化膜12の膜質が改善されると共に膜厚が厚くなって、耐圧特性が向上する。また、ゲート酸化膜12と半導体基板11との界面付近19に窒素が含有され、半導体基板11の主にドレイン近傍の高電界領域からゲート酸化膜12へホットキャリアが注入されるのを窒素が抑制するので、ホットキャリア耐性も向上する。



【特許請求の範囲】

【請求項1】 ゲート電極を形成した後に、 N_2O を主成分とする雰囲気を含むファーンネス中で、前記ゲート電極の側端部と半導体基板との境界部分を酸化窒化する工程を有するMOS型トランジスタの製造方法。

【請求項2】 前記酸化窒化を施したゲート酸化膜を覆って、絶縁膜から成るLDD構造用の側壁を前記ゲート電極に形成する工程を有する請求項1記載のMOS型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板上にゲート酸化膜を介してゲート電極を有するMOS型トランジスタの製造方法に関するものである。

【0002】

【従来の技術】MOS型トランジスタの製造過程でゲート電極を形成する際には、高エネルギーの荷電粒子を利用するドライエッチングによって多結晶Si膜等をパターニングするのが、近年では一般的である。ところが、このドライエッチング時に、荷電粒子の照射によるボンドの切断やチャージアップ等によって、ゲート酸化膜が相当な損傷を受ける。

【0003】また、ソース/ドレインを形成するためのその後のイオン注入によっても、特にゲート電極の側端部におけるゲート酸化膜が大きな損傷を受ける。更に、半導体基板と同一導電型で半導体基板よりも高濃度であり、且つソース/ドレインよりもゲート電極下に入り込んでいる、ポケットと称されるパンチスルー防止用の拡散領域を、斜めイオン注入によって形成する際にも、ゲート電極の側端部におけるゲート酸化膜が損傷を受ける。

【0004】ゲート酸化膜が損傷を受けると、TDD特性等のゲート酸化膜の耐圧特性が劣化して、主にドレイン近傍の高電界領域とゲート電極との間でリーク電流が流れる。そこで、従来は、ゲート電極を形成した後に、酸素雰囲気を含むファーンネス中で酸化を行って、ゲート電極の側端部におけるゲート酸化膜を補強していた。

【0005】

【発明が解決しようとする課題】しかし、従来のファーンネス中における処理では、単に追酸化を行っているだけで、ゲート酸化膜の膜質を十分には回復させることができず、ゲート酸化膜の耐圧を十分には確保することが難しかった。従って、従来の方法では、信頼性の高いMOS型トランジスタを製造することが難しかった。

【0006】

【課題を解決するための手段】請求項1のMOS型トランジスタの製造方法は、ゲート電極13を形成した後に、 N_2O を主成分とする雰囲気を含むファーンネス中で、前記ゲート電極13の側端部と半導体基板11との

境界部分を酸化窒化する工程を有している。

【0007】請求項2のMOS型トランジスタの製造方法は、前記酸化窒化を施したゲート酸化膜12を覆って、絶縁膜16から成るLDD構造用の側壁を前記ゲート電極13に形成する工程を有している。

【0008】

【作用】請求項1のMOS型トランジスタの製造方法では、ゲート電極13の側端部と半導体基板11との境界部分を酸化窒化しているため、この境界部分におけるゲート酸化膜12の膜質が改善されると共に、この境界部分におけるゲート酸化膜12がバースピーク状に厚くなってゲートドレイン間の電界を弱めることができ、TDD特性等のゲート酸化膜12の耐圧特性が向上する。

【0009】また、ゲート電極13の側端部下におけるゲート酸化膜12と半導体基板11との界面付近19に窒素が含有され、半導体基板11の主ドレイン近傍の高電界領域からゲート酸化膜12へホットキャリアが注入されて界面準位や電子トラップが形成されるのを窒素が抑制するので、ホットキャリア耐性も向上する。

【0010】なお、 N_2O を主成分とする雰囲気中で酸化窒化を行っているため、 N_2 のみを含む雰囲気の場合の様に窒化が進行し過ぎることがなく、大きな応力が発生することがない。また、ファーンネス中で処理を行っているため、高速窒化の場合の様な急熱急冷がなく、このことによっても、大きな応力が発生することがない。従って、応力の発生による信頼性の低下はない。

【0011】請求項2のMOS型トランジスタの製造方法では、半導体基板11との界面付近19が酸化窒化されたゲート酸化膜12を残したまま、絶縁膜16から成るLDD構造用の側壁を形成しているため、ホットキャリア耐性が高く、ホットキャリアの注入による相互コンダクタンスの劣化等が少ない。

【0012】

【実施例】以下、LDD構造のMOS型トランジスタの製造に適用した本発明の一実施例を、図1を参照しながら説明する。本実施例でも、図1(a)に示す様に、シリコン基板等である半導体基板11の表面にゲート酸化膜12を形成し、多結晶シリコン膜等をエッチングしてゲート酸化膜12上にゲート電極13を形成するまでは、従来公知の工程を実行する。

【0013】しかし、本実施例では、次に、 N_2O を主成分とする雰囲気を含み温度が950℃前後であるファーンネス中で、ゲート電極13下におけるチャネル長方向の中央部を除いて、全体を酸化窒化する。これによって、図1(b)に示す様に、ゲート酸化膜12のうちで、ゲート電極13下におけるチャネル長方向の両端部つまりゲート電極13の側端部下の部分がバースピーク状に厚くなると共に、ゲート電極13下以外の部分が数nm厚くなり、ゲート電極13の表面にも、膜厚が数nmの酸化窒化された酸化膜14が形成される。

【0014】また、ゲート電極13下におけるチャネル長方向の中央部を除いて、ゲート酸化膜12と半導体基板11との界面付近にも、数原子%の窒素が含有される。なお、酸窒化のうちの酸化の割合を高めるためには、雰囲気中にO₂を添加し、酸窒化のうちの窒化の割合を高めるためには、雰囲気中にN₂を添加すればよい。

【0015】次に、酸窒化したゲート酸化膜12及び酸化膜14を残したまま、ゲート電極13をマスクにした不純物のイオン注入を行って、図1(c)に示す様に、LDD構造用の低濃度拡散領域15を形成する。

【0016】次に、図1(d)に示す様に、酸化膜16をCVD法で全面に堆積させ、酸化膜16、14及びゲート酸化膜12の全面をエッチバックして、酸化膜16から成る側壁をゲート電極13に形成する。そして、ゲート電極13と酸化膜16とをマスクにした不純物のイオン注入を行って、ソース/ドレインとしての高濃度拡散領域17を形成する。最後に、活性化アニールで高濃度拡散領域17及び低濃度拡散領域15の不純物を電気的に活性化させて、LDD構造のMOS型トランジスタ18を完成させる。

【0017】以上の様な実施例では、ファーンネス中で酸窒化を行っているため、ゲート電極13の側端部と半導体基板11との境界部分におけるゲート酸化膜12が追酸化によって補強されるのみならず、この境界部分におけるゲート酸化膜12の膜質が改善されて、TDD B特性等の耐圧特性が向上する。

【0018】また、ゲート電極13下におけるチャネル長方向の中央部を除いて、ゲート酸化膜12と半導体基

板11との界面付近19にも、数原子%の窒素が含有されるので、半導体基板11の主にドレイン近傍の高電界領域からゲート酸化膜12へホットキャリアが注入されて界面準位や電子トラップが形成されるのを窒素が抑制し、ホットキャリア耐性も向上する。

【0019】なお、以上の実施例は本発明をLDD構造のMOS型トランジスタの製造に適用したものであるが、本発明は非LDD構造のMOS型トランジスタの製造にも適用することができる。

10 【0020】

【発明の効果】請求項1のMOS型トランジスタの製造方法では、ゲート電極の側端部と半導体基板との境界部分におけるゲート酸化膜の耐圧特性が向上し、ホットキャリア耐性も向上するので、信頼性の高いMOS型トランジスタを製造することができる。

20 【0021】請求項2のMOS型トランジスタの製造方法では、絶縁膜から成るLDD構造用の側壁を形成しても、ホットキャリアの注入による相互コンダクタンスの劣化等が少ないので、信頼性の高いLDD構造のMOS型トランジスタを製造することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を工程順に示す側断面図である。

【符号の説明】

- 11 半導体基板
- 12 ゲート酸化膜
- 13 ゲート電極
- 16 酸化膜

【図1】

